

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.  
009076515      \*\*Image available\*\*

WPI Acc No: 1992-203935/199225

Related WPI Acc No: 2001-196378

XRPX Acc No: N92-154205

Liquid crystal device - has thin film transistors whose channel forming  
area portions are formed by amorphous semiconductor layer and  
semiconductor layer having crystallisation NoAbstract

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 4133029</b>	A	19920507	JP 90254523	A	19900925	199225 B

Priority Applications (No Type Date): JP 90254523 A 19900925

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 4133029	A	7	G02F-001/136	
------------	---	---	--------------	--

Title Terms: LIQUID; CRYSTAL; DEVICE; THIN; FILM; TRANSISTOR; CHANNEL;  
FORMING; AREA; PORTION; FORMING; AMORPHOUS; SEMICONDUCTOR;  
LAYER; SEMICONDUCTOR; LAYER; CRYSTAL; NOABSTRACT

Derwent Class: P81; U11; U12; U14

International Patent Class (Main): G02F-001/136

International Patent Class (Additional): G02F-001/1343; H01L-021/336;

H01L-027/12; H01L-029/78; H01L-029/784

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03767929      \*\*Image available\*\*

LIQUID CRYSTAL DEVICE

PUB. NO.:      **04-133029** [JP 4133029 A]

PUBLISHED:      May 07, 1992 (19920507)

INVENTOR(s):   MASE AKIRA

APPLICANT(s):   SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:      02-254523 [JP 90254523]

FILED:           September 25, 1990 (19900925)

INTL CLASS:      [5] G02F-001/136; G02F-001/1343; H01L-021/336; H01L-027/12; H01L-029/784

JAPIO CLASS:    29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL:        Section: P, Section No. 1409, Vol. 16, No. 402, Pg. 40, August 25, 1992 (19920825)

#### ABSTRACT

PURPOSE: To make a device small in size and light in weight and to reduce the cost of the device by forming a switching element TFT for an optical shutter and a driver TFT for driving a liquid crystal device on the same substrate.

CONSTITUTION: A high-resistance amorphous semiconductor layer 2 is formed on a substrate 1 having an ITO electrode 19. Next, doping is performed by irradiating an area including the source and the drain of the high-resistance layer 2 being a transistor for driving, that is, a doping area 5 with an excimer laser beam 10. Then, the doping area 5 is irradiated with an excimer laser beam 11 and cut into a source area 3 and a drain area 4. Continuously, a high-resistance amorphous semiconductor layer 15 under a cut part 12, that is, a part being the driver TFT for driving the liquid crystal device is irradiated with a laser beam 14 so as to be polycrystalline. Then, a gate insulating film 6 is formed to cover the cut part 12. Furthermore, a gate electrode 7, a source electrode 8 and a drain electrode 9 are formed.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-133029

⑤ Int. Cl.<sup>3</sup> 識別記号 庁内整理番号 ④ 公開 平成4年(1992)5月7日  
G 02 F 1/136 5 0 0 9018-2K  
1/1343 9018-2K  
H 01 L 21/336 A 7514-4M  
27/12 9056-4M H 01 L 29/78 3 1 1 P  
29/784 9056-4M 3 1 1 A  
審査請求 未請求 請求項の数 4 (全7頁)

⑭ 発明の名称 液晶装置

⑮ 特 願 平2-254523

⑯ 出 願 平2(1990)9月25日

⑰ 発 明 者 間 瀬 晃 神奈川県厚木市長谷398番地 株式会社半導体エネルギー  
研究所内

⑱ 出 願 人 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地

明 細 書

1. 発明の名称

液晶装置

2. 特許請求の範囲

1. 絶縁基板上にスイッチング素子として機能する複数の薄膜トランジスタと液晶装置駆動用のドライバーとして機能する薄膜トランジスタを同一基板上に持つ液晶装置であって、前記薄膜トランジスタはチャンネル形成領域部が非品質半導体層で構成されているものと、チャンネル形成領域が結晶性を有する半導体層で構成されているものとを有することを特徴とする液晶装置

2. 特許請求の範囲第1項において、前記チャンネル形成領域が非品質半導体層で構成されている薄膜トランジスタは光シャッター用のスイッチング素子として用いられることを特徴とする液晶装置。

3. 特許請求の範囲第1項において、前記チャンネル形成領域が結晶性を持つ半導体層で構成さ

れている薄膜トランジスタは駆動用のドライバー動作をする素子として用いられることを特徴とする液晶装置。

4. 特許請求の範囲第3項に於いて、駆動用のドライバー動作をする薄膜トランジスタは、非品質半導体をレーザーアニールにより結晶性を高めて、移動度が $50\text{cm}^2/\text{Vsec}$ 以上にした半導体層をチャンネルとする事を特徴とする液晶装置。

3. 発明の詳細な説明

『産業上の利用分野』

本発明は薄膜トランジスタを用いて液晶に加える電界を制御して光シャッターの透過率を変化させる液晶装置に利用される。特に、価格の低減化、重量の削減に大きく貢献する物である。

『従来技術』

最近、化学的気相法等によって、作成された非品質半導体薄膜を利用した薄膜トランジスタを液晶装置が注目されている。

この薄膜トランジスタは、絶縁性基板上に前述

の如く化学的気相法等を用いて形成されるので、その作成雰囲気温度が最高で450℃程度と低温で形成でき、安価なソーダガラス、ホウケイ酸ガラス等を基板として用いる事が出来る。

この薄膜トランジスタは電界効果型であり、いわゆるMOSFETと同様の機能を有しているが、前述の如く安価な絶縁性基板上に低温で形成でき、さらにその作製する最大面積は薄膜半導体を形成する装置の寸法にのみ限定されるもので、容易に大面積基板上にトランジスタを作製できるという利点を持っていた。このため多量の画素を持つマトリクス構造の液晶ディスプレイのスイッチング素子や一次元又は二次元の光シャッター等のスイッチング素子として極めて有望である。

また、この薄膜トランジスタを作製するにはすでに確立された技術であるフォトリソグラフィが応用可能で、いわゆる微細加工が可能であり、IC等と同様に集積化を図ることも可能であった。

この従来より知られたTFTの代表的な構造を第1図に概略的に示す。

いた時その移動度はおおよそ0.1~1(cm<sup>2</sup>/V・Sec)程度で、ほとんどTFTとして動作しない程度のものであった。

液晶装置の各光シャッターを制御するための薄膜トランジスタとしてはこれでも十分な特性であるが、液晶装置駆動用のドライバー動作をする薄膜トランジスタ(周辺回路用TFT)は、移動度が50cm<sup>2</sup>/V・sec以上を持つ半導体層をチャンネルとしたトランジスタを使用しなければならなかった。

その為、従来の液晶装置は非晶質半導体層からなるTFTのみを基板上に形成し、光シャッターのスイッチング素子として利用し、液晶駆動用のドライバー動作をする素子はIC(半導体集積回路)チップを樹脂モールドしたパッケージ半導体を複数個液晶装置の裏面または側面に設けた構成となっており、容積、重量を削減することができず液晶装置の小型、軽量化への大きな障害となっていた。

『発明の目的』

(21)はガラスよりなる絶縁性基板であり、(22)は非晶質半導体よりなる薄膜半導体層、(23)、(24)はソースドレイン領域で、(25)、(26)はソースドレイン電極、(27)はゲート絶縁膜で(28)はゲート電極であります。

このように構成された薄膜トランジスタはゲート電極(28)に電圧を加えることにより、ソースドレイン(23)、(24)間に流れる電流を調整するものであります。

この時、この薄膜トランジスタの応答速度は次式で与えられる。

$$S = \mu \cdot V / L^2$$

ここでLはチャンネル長、 $\mu$ はキャリアの移動度、Vはゲート電圧。

この薄膜トランジスタに用いられる非晶質半導体層は半導体層中に多量の結晶粒界等を含んでおり、これらが原因で単結晶の半導体に比べてキャリアの移動度が非常に小さく上式より判るようにトランジスタの応答速度が非常に遅いという問題が発生していた。特に非晶質シリコン半導体を用

本発明は、前述の如き問題を解決するものであり、また必要な部分のTFTのみ従来より知られたTFTに比べて、高速で動作するTFTを、複雑な工程がなく、再現性良く、より低温で提供することをその目的とするものであります。

『発明の構成』

上記目的を達成するために本発明は、基板上に薄膜トランジスタ素子を複数個有する液晶装置において、光シャッターのスイッチング素子として非晶質半導体層をチャンネル形成領域に使用したTFTを用い、液晶装置駆動用のドライバー回路に使用されるTFTとして、結晶性を持つ半導体層をチャンネル形成領域に使用したTFTを用い、これらの複数のTFT素子を同一の基板上に形成して、液晶装置を構成したことを特徴とするものであります。

この結晶性を持つ半導体層とは非晶質半導体層をアニール処理等の結晶化技術を用いて半導体層のグレインサイズを増し、半導体層の移動度を液晶装置駆動用のドライバー特性に合うように高め

た物であり、より好ましくは  $50 \text{ cm}^2/\text{V} \cdot \text{sec}$  以上にしたものを使用する。

その為この駆動用の TFT は、光シャッター用のスイッチング素子を構成する半導体層と同時に形成された非晶質半導体層に結晶化処理を施して、移動度の高い素子を得ることができる。その際には結晶化処理技術として、レーザ、ランプ等の光を使用したアニール処理により、基板への熱の影響を少なくすることが可能なので、前述のような安価なソーダガラス基板を使用することが可能となる。またこの光、特にレーザは不純物のドーピング、レーザ光による半導体層の切断等のためのプロセスとの組合せが容易で、より簡単に、安価に処理を行うことが可能である。

即ち本発明においては、基板上の整列した複数の部分に直線状或いはドット状にレーザ光を照射することができる直線状に照射する場合には直線部分のドーピング領域の作製、結晶化の促進或いはドーピング領域の切断を同時に行うことができ、非晶質半導体薄膜の複数の部分のドーピング

領域の作製、結晶化の促進、ドーピング領域の切断を短時間で行うことができる。また、ドット状に照射する場合においても 1ヶ所に照射した後の基板の移動のためのプログラムが、整列した部分への照射のために簡単であるうえ、工程上も、非晶質半導体薄膜の複数の部分のドーピング領域の作製、結晶化の促進、ドーピング領域の切断を、短時間で行うことができる。

また、液晶装置の場合、駆動用の周辺回路部分はブロック状に集まっているので同一基板状に設けるさいには基板サイズを大きくすることで、特に大きな問題もなく実現することができる。また集まっているので、結晶化処理が行い安く、処理時間を短縮することが可能となる。

以下に実施例により本発明を詳しく説明する。

#### 「実施例」

本実施例においては、液晶ディスプレイに用いるためのコブレナー型の薄膜トランジスタの作製について示す。

また、本実施例においては、結晶化処理をレー

ザ光にて行い、TFTのパターン形成にはレーザ加工、TFTの不純物領域形成にはレーザドーピングを利用して、レーザ光の共通化を図ったプロセスを採用した。

本実施例に対応する薄膜トランジスタの概略的な作製工程を第1図に示す。

まず、基板(1)として、画素電極としてパターンニングされたITO電極(19)を有する  $300\text{mm} \times 300\text{mm}$  のソーダガラスを用い、この基板(1)をプラズマ発生が可能な装置の反応室内に入れ、この基板上に公知のプラズマCVD法によって、I型の高抵抗性(I型)の非晶質半導体層(2)を約  $5000\text{\AA}$  形成する。(第1図(a))

この時の非晶質半導体層(2)の作製条件を以下に示す。

基板温度	$240^\circ\text{C}$
反応圧力	$0.05 \text{ Torr}$
Rfパワー	$90 \text{ W}$
ガス	$\text{SiH}_4$
次に反応室内のガスを排気した後、水素ガスと	

ホスフィンガス( $\text{PH}_3$ )の混合ガスを導入し、圧力  $0.1 \text{ Torr}$  で高周波電力を  $60 \text{ W}$  印加してプラズマ状態とした。この時のホスフィン量は約  $15\%$  となるように混合した。基板上の高抵抗の非晶質半導体層(2)はこの混合ガスの雰囲気下に置かれている。この時基板加熱は行わなかった。

そして、駆動用トランジスタとなる高抵抗の非晶質半導体層(2)のソース、ドレインを含む領域に対し、エキシマレーザー光( $248.7\text{nm}$ )(10)を照射した(第1図(b))。

ビームの形状は光学系により集光し、その巾をソース、ドレインを含む領域(ドーピング領域)(5)の巾に一致するようにし、長さについては基板の長さ( $300\text{mm}$ )とし、第1図(c)に示すように、直線上にある部分を同時にドーピングせしめた。ただし、第1図(c)については、ドーピングした領域(5)のみを示す。

この時のレーザー光の条件は、 $0.05 \text{ J/cm}^2$  のエネルギー密度で、パルス巾  $10 \mu\text{sec}$  で  $1500$  パルス照射した。

これによってリンは、このレーザ光が照射された領域にのみドーピングされる。

ドーピング領域の深さはレーザ光の照射回数及びエネルギーによって調整可能であるが、エネルギー量が多いと半導体層に損傷を与えてしまうことがあるので、低エネルギーに保ち照射回数によってドーピングされる深さを制御する方が工程上のマージンが増す。本実施例においてはそのドーピングされる深さを500 Åとした。

次にこのドーピング領域(5)に対し、被照射面上で巾2 μm長さ300nmの長方形の照射断面となるようにドーピングの際に用いた光学系とは別の光学系によって集光された波長248.7nmのエキシマレーザ光(11)を照射し、ドーピング領域(5)をソース領域(3)とドレイン領域(4)に切断し、第1図(d)の状態を得た。この時のレーザ光の照射条件はパワー密度1J/cm<sup>2</sup>、パルス巾10 μSecである。このレーザ光を本実施例の場合、4パルス照射してドーピング領域(5)を切断した。この照射回数及びレーザの条件は被加工物によ

って異なり、本実施例の場合は予備実験を行って前述の条件を出してその条件を用いた。

次に、液晶装置駆動用のドライバーTFTとなる部分のみに対して、この切断の際に用いた光学系をそのまま用いてこの切断部分(12)下の高抵抗の非晶質半導体層(15)に対し、再びレーザ光(14)を照射しこの部分の半導体層の結晶化を助長し、キャリア移動度を向上させた。得られたキャリアの移動度は約80 cm<sup>2</sup>/Vsecであり、この部分は多結晶化していた(第1図(e))。

この時のレーザ光の条件はパワー密度0.5J/cm<sup>2</sup>パルス巾10 μSecであり2パルス照射した。この条件で通常の非晶質珪素半導体に照射する定性実験を行ったところ照射する前の移動度の約100倍の値が得られている。

次に、反応室内の気体を排気し、ガスをシランとアンモニアの混合ガスに変えて反応室内に導入し、この切断部(12)を覆うように、ゲート絶縁膜(6)として窒化珪素膜を200 Å形成した。その作製条件を以下に示す。

基板温度	200℃
反応圧力	0.05 Torr
RF Power	50 W
ガス	NH <sub>3</sub> /SiH <sub>4</sub>

この後この基板(1)を反応室から取り出し、所定のパターンにエッチングして、ゲート絶縁膜(6)とした。さらにTFTの外形のパターンに半導体層にエッチングを施した後、この上面全面に公知のスパッタリング法にてアルミニウムを形成した後、所定のパターンにエッチングして、ゲート電極(7)、ソース電極(8)及びドレイン電極(9)を形成し、図のようなTFTを完成させた(第1図(f))。

同様の工程を用いて、不純物層形成時に使用するフォスフィンガスに変えてジボランガスを用いてpチャネルの薄膜トランジスタを同一基板上に作成し、CMOS構造の回路素子を作成した。

以上の工程により液晶装置用基板を得た。

第3図に基板周囲の駆動回路用に作成した薄膜トランジスタ全体のブロックダイアグラムを示す。

第3図に示される基板周囲に配置される駆動回路において、全てを同一基板上に形成することが最も好ましいが、少なくとも出力端子に近いブロック、即ち光シャッターに近いブロック回路部分を基板上に形成していても、十分な容積の減少と重量の軽減に効果を示していた。また、その際には残りの回路部分に相当するICチップの集積度を抑えることができ、ICチップの値段を安くすることができる。

以上のようにして、光学系を用いて断面を直線状にしたレーザ光を用いて、複数の薄膜トランジスタに対応する高抵抗の非晶質珪素膜へのリンのドーピング、切断、高抵抗の非晶質珪素膜の結晶化の促進を続けて行うことができ、よってソース、ドレイン領域間つまりチャネル部のみ結晶化を行うことができるため、リーク電流を非常に少なく押さえることができた。

本実施例において、不純物をドーピングする際には加熱を行わずにドーピングを行っても十分にドーピングできるが、少し温度加熱を行ってドーピングを

行くと、速く終了する利点がある。この時の加熱温度はTFTの作製工程で基板及び半導体薄膜に加えられた温度以下にする。

また液晶装置駆動用のドライバートFT部分を経晶化処理する際に、メタルマスクにより光シャッター部分のスイッチング素子TFT部分を覆いフラッシュランプアニール等の手法により、大面積を一度に結晶化させ処理時間の短縮をはかることも有効であった。

また、本発明は、ソースドレインのドーピングをレーザを用いて形成したので、TFTの作製工程で基板及び半導体薄膜に加えられた温度が最も高い温度とすることができ、後工程で高い温度を加える必要がなく、より信頼性の高いTFTを提供できる。

さらにまた、周辺の駆動回路を構成する際に多層配線が必要と成る場合がある、この場合液晶装置構成において、液晶層を配向させる配向膜や、光シャッターの電極部分に設けられるコンデンサの誘電体膜を利用することもでき、より工程の

簡略化を行うことが可能であった。

さらに、本実施例で示したコプレーナ型のTFTのみに限定されることなく、他の形式のTFTにも適用可能である。同様に、本発明は本実施例で採用されたプロセス手法のみに限定されることなく本発明の思想を損なうことなく他のプロセスを採用することも可能である。

また、レーザ切断工程で、レーザ光のエネルギー調整または照射回数等を変更することにより、同時にその切断部分下の半導体の移動度を向上させることもさらには不純物元素の存在するプラズマ中にてレーザ光照射を行うとチャネル部分のドーブまで、一度の工程で行うことができるという特徴を持つ。

そのうえレーザ光照射を真空装置内で行ったため、レーザ光照射によりドーピング領域が気化した結果生ずるガスをすみやかに真空ポンプで引いてしまうため、一度気化したガスが再び基板表面に吸着されることがなく、切断面が非常に清浄な状態になる結果、薄膜トランジスタの性能が

非常に安定したものとなった。

#### 「効果」

本発明により、同一基板上に光シャッター用のスイッチング素子TFTと液晶装置駆動用のドライバートFTとが形成されたのでより、容積の小さい、重量の軽い液晶装置を安価に容易に実現することができた。

また、レーザ光を用いて、必要な部分のみ、この場合は周辺の駆動回路のみ、非品質部分の移動度を向上したことで、安価な基板を使用可能になった。また工程においても、必要な部分のみのレーザアニールで済むため、工程時間の短縮が出来、更なるコストダウンができた。

#### 4. 図面の簡単な説明

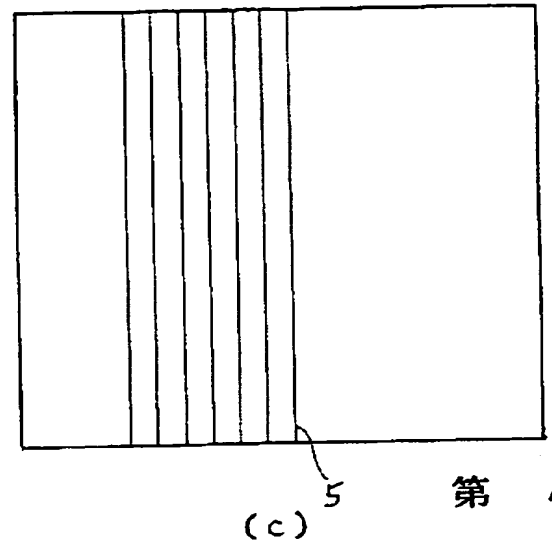
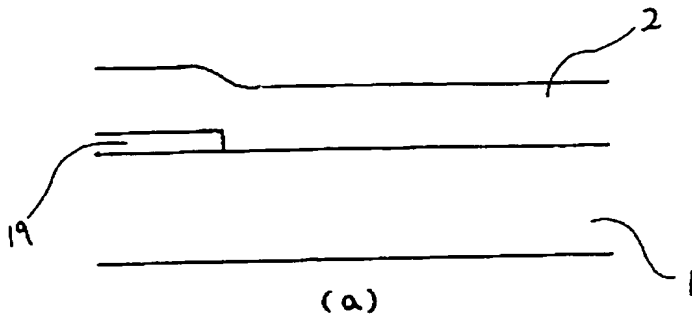
第1図(a)～(f)は本発明の実施例について薄膜トランジスタの作製工程を示す。

第2図は従来の薄膜トランジスタの断面の概略を示す。

第3図は液晶装置駆動回路の概略図を示す。

- 1 . . . . . 基板
- 2 . . . . . 高抵抗半導体層
- 3 . . . . . ソース領域
- 4 . . . . . ドレイン領域
- 5 . . . . . ドーピング領域
- 6 . . . . . ゲート絶縁膜
- 7 . . . . . ゲート電極
- 8 . . . . . ソース電極
- 9 . . . . . ドレイン電極
- 10、11、14 . . . レーザ光
- 12 . . . . . 切断部分
- 15 . . . . . 結晶化を助長した部分
- 19 . . . . . ITO電極



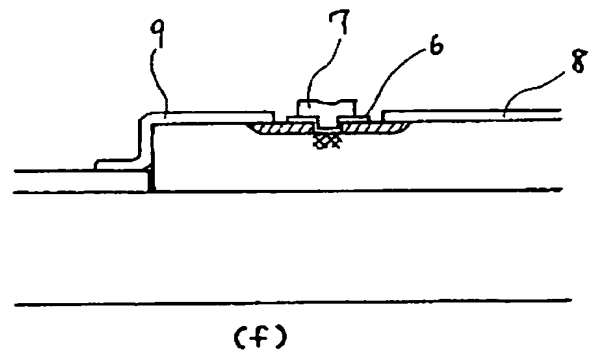
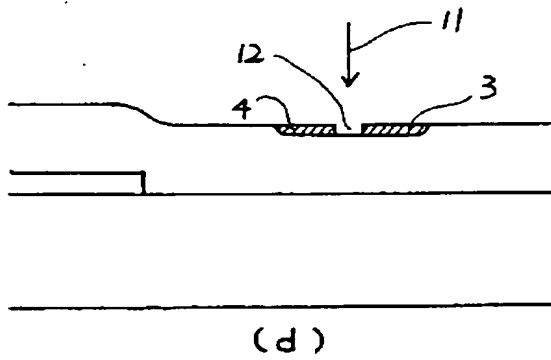
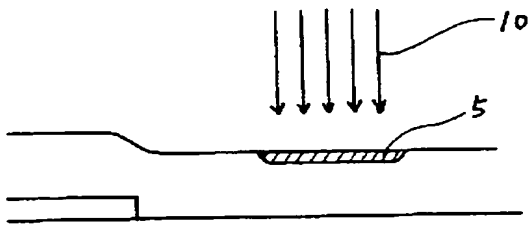


第 1 図

(c)

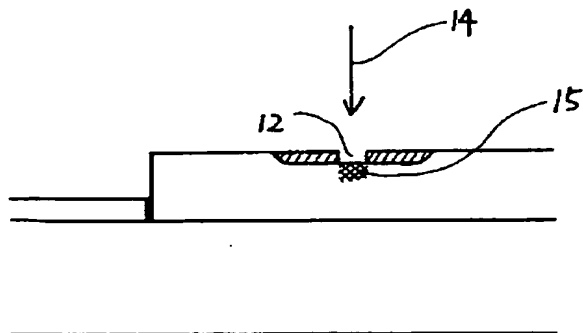
第 1 図

(b)



第 1 図

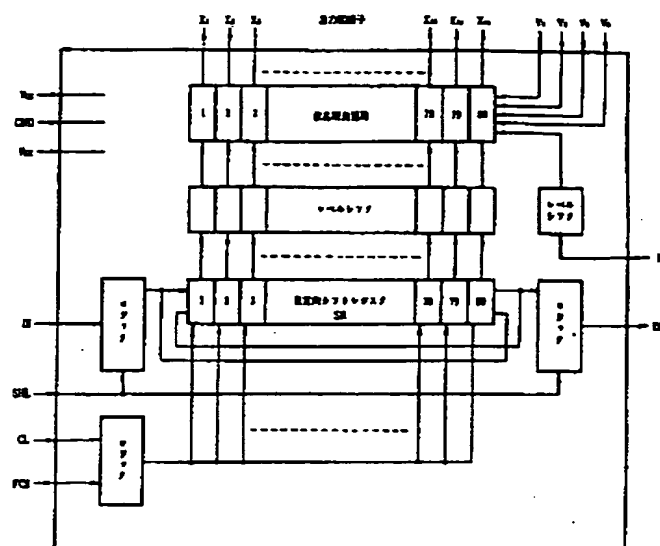
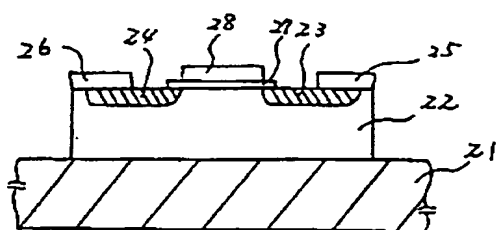
(f)



第 1 図

(e)

第 2 図



第 3 図